

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: June 19, 2003

Application Number: No. 2003-174473
[ST.10/C]: [JP 2003-174473]

Applicant(s) SHINKO ELECTRIC INDUSTRIES CO., LTD..

9

March 2, 2004

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2004-3015902

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 9 日
Date of Application:

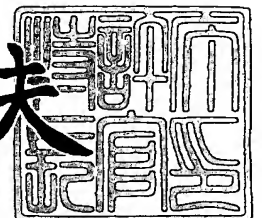
出 願 番 号 特 願 2 0 0 3 - 1 7 4 4 7 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 7 4 4 7 3]

出 願 人 新 光 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 4 年 3 月 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 SD15-020

【提出日】 平成15年 6月19日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 21/02

【発明の名称】 半導体パッケージの製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 小泉 直幸

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 村山 啓

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 栗原 孝

【発明者】

【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

【氏名】 東 光敏

【特許出願人】

【識別番号】 000190688

【氏名又は名称】 新光電気工業株式会社


【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
プレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0202532

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージの製造方法

【特許請求の範囲】

【請求項 1】 半導体ウェハの下面を第 1 の支持体に装着する工程と、
前記半導体ウェハを薄膜化する工程と、
前記半導体ウェハにスルーホールを形成する工程と、
前記半導体ウェハを前記第 1 の支持体から剥離する工程と、
前記半導体ウェハの表面に絶縁層を形成する工程と、
前記半導体ウェハの下面側に導電層を形成する工程と、
めっき処理により、前記スルーホールの内部に導電体を形成する工程と、
を備える半導体パッケージの製造方法。

【請求項 2】 請求項 1 に記載の半導体パッケージの製造方法において、
更に、前記導電層を除去する工程を備える半導体パッケージの製造方法。

【請求項 3】 請求項 2 に記載の半導体パッケージの製造方法において、
前記導電層を除去する工程は、前記導電体の下部の導電層については、除去せずに残す半導体パッケージの製造方法。

【請求項 4】 請求項 1 又は 2 に記載の半導体パッケージの製造方法において、
前記導電層はテープ状の部材である半導体パッケージの製造方法。

【請求項 5】 半導体ウェハの下面を第 1 の支持体に装着する工程と、
前記半導体ウェハを薄膜化する工程と、
前記半導体ウェハにスルーホールを形成する工程と、
前記半導体ウェハを前記第 1 の支持体から剥離する工程と、
前記半導体ウェハの表面に絶縁層を形成する工程と、
前記絶縁層が形成された半導体ウェハを第 2 の支持体に装着する工程と、
前記絶縁層の露出面に導電層を形成する工程と、
めっき処理により、前記スルーホールの内部に導電体を形成する工程と、
を備える半導体パッケージの製造方法。

【請求項 6】 請求項 1 乃至 5 の何れかに記載の半導体パッケージの製造方

法において、

前記半導体ウェハにスルーホールを形成する工程は、エッチング法を用いる半導体パッケージの製造方法。

【請求項 7】 請求項 1 乃至 6 の何れかに記載の半導体パッケージの製造方法において、

前記半導体ウェハの表面に絶縁層を形成する工程は、電着法を用いる半導体パッケージの製造方法。

【請求項 8】 請求項 1 乃至 7 の何れかに記載の半導体パッケージの製造方法において、

前記半導体ウェハの表面に絶縁層を形成する工程は、前記半導体ウェハの表面に無機系の絶縁層を形成し、更に前記無機系の絶縁層の表面に有機系の絶縁層を形成する半導体パッケージの製造方法。

【請求項 9】 請求項 1 乃至 8 の何れかに記載の半導体パッケージの製造方法において、

前記半導体ウェハの表面に絶縁層を形成する工程の後に、前記絶縁層の表面にバリア層を形成する工程を備える半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体ウェハを貫通する電極を有する半導体パッケージの製造方法に関する。

【0002】

【従来の技術】

半導体チップを搭載するパッケージ（以下、「半導体パッケージ」と称する）は、半導体チップと実装基板とを電氣的に接続するために、パッケージを貫通する電極（貫通電極）が形成される（例えば、特許文献 1 及び特許文献 2 参照）。

【0003】

近年、MPU（Micro Processing Unit）の消費電力の増加に伴う発熱量の増大や外部接続端子であるピン数の増加に伴い、パッケージの素材には、熱膨張率

が小さく、且つ、微細化が可能であることが要求されている。このような要求に応えるべく、パッケージの素材にシリコン等の半導体を用いることが提案されている。

【0004】

図1乃至図9は、従来の半導体パッケージの製造工程を示す断面図である。図1に示す第1の工程では、シリコンウェハ510の上面に、孔522を有するレジスト520が形成される。次に、図2に示す第2の工程では、ドライエッチングにより、シリコンウェハ510のうち、レジスト520の孔522によって露出している部分に孔512が形成される。更に、図3に示す第3の工程では、シリコンウェハ510の上面に形成されているレジスト520が除去される。

【0005】

図4に示す第4の工程では、シリコンウェハ510の表面（孔512の内壁部を含む）に、熱酸化法や化学気相成長（CVD:Chemical Vapor Deposition）法により絶縁層530が形成される。なお、シリコンウェハ510の下面には、必ずしも絶縁層530が形成される必要はない。次に、図5に示す第5の工程では、シリコンウェハ510の上面及び孔512の内壁部に形成された絶縁層530の上面に、更に、CVD法やスパッタ法により、めっき処理の際に必要なシード層540が形成される。その後、図6に示す第6の工程では、めっき処理により、孔512の内部が導電体で満たされ、電極550が形成される。図7に示す第7の工程では、露出しているシード層540が剥離される。

【0006】

次に、図8に示す第8の工程では、シリコンウェハ510が薄膜加工され、当該シリコンウェハ510の下面から電極550が露出する。シリコンウェハ510の薄膜加工は、具体的には、まず、シリコンウェハ510の下面が砥石等により研磨され、次に、ウェットエッチング法により電極550が露出する直前までシリコンウェハ510が除去される。更に、仕上げとして研磨剤を含有した布等でシリコンウェハ510の下面が研磨されることにより、当該シリコンウェハ510の下面から電極550が露出する。

【0007】

その後、図 9 に示す第 9 の工程では、シリコンウェハ 510 の下面に、電極 550 が露出するように、絶縁層 560 が形成される。電極 550 は、シリコンウェハ 510 の上面から下面へ貫通する電極（貫通電極）となり、上部が半導体チップと電氣的に接続され、下部が実装基板と電氣的に接続される。

【0008】

【特許文献 1】

特開 2003-31719 号公報（第 6 頁、図 4）

【0009】

【特許文献 2】

特開平 10-223833 号公報（第 6-7 頁、図 4）

【0010】

【発明が解決しようとする課題】

しかしながら、上述した従来の半導体パッケージの製造方法では、図 8 に示す第 8 の工程において、研磨剤を含有した布等でシリコンウェハ 510 の下面が研磨される際に、当該シリコンウェハ 510 の下面に、電極 550 の材料である導電体の残渣が付着し、電極 550 間がショートしてしまう場合がある。また、電極 550 の直径は 15 μ m 程度であり非常に小さいため、図 9 に示す第 9 の工程において、電極 550 が露出するように絶縁層 560 を形成させることは容易ではない。

【0011】

本発明は、このような問題を解決するものであり、貫通電極の形成を適切に行うことが可能な半導体パッケージの製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】

上記課題を解決するために、本発明は請求項 1 に記載されるように、半導体ウェハの下面を第 1 の支持体に装着する工程と、前記半導体ウェハを薄膜化する工程と、前記半導体ウェハにスルーホールを形成する工程と、前記半導体ウェハを前記第 1 の支持体から剥離する工程と、前記半導体ウェハの表面に絶縁層を形成する工程と、前記半導体ウェハの下面側に導電層を形成する工程と、めっき処理

により、前記スルーホール内部に導電体を形成する工程とを備える半導体パッケージの製造方法である。

【0013】

また、本発明は請求項2に記載されるように、請求項1に記載の半導体パッケージの製造方法において、更に、前記導電層を除去する工程を備える。

【0014】

また、本発明は請求項3に記載されるように、請求項2に記載の半導体パッケージの製造方法において、前記導電層を除去する工程は、前記導電体の下部の導電層については、除去せずに残す。

【0015】

また、本発明は請求項4に記載されるように、請求項1又は2に記載の半導体パッケージの製造方法において、前記導電層はテープ状の部材である。

【0016】

また、本発明は請求項5に記載されるように、半導体ウェハの下面を第1の支持体に装着する工程と、前記半導体ウェハを薄膜化する工程と、前記半導体ウェハにスルーホールを形成する工程と、前記半導体ウェハを前記第1の支持体から剥離する工程と、前記半導体ウェハの表面に絶縁層を形成する工程と、前記絶縁層が形成された半導体ウェハを第2の支持体に装着する工程と、前記絶縁層の露出面に導電層を形成する工程と、めっき処理により、前記スルーホール内部に導電体を形成する工程とを備える半導体パッケージの製造方法である。

【0017】

また、本発明は請求項6に記載されるように、請求項1乃至5の何れかに記載の半導体パッケージの製造方法において、前記半導体ウェハにスルーホールを形成する工程は、エッチング法を用いる。

【0018】

また、本発明は請求項7に記載されるように、請求項1乃至6の何れかに記載の半導体パッケージの製造方法において、前記半導体ウェハの表面に絶縁層を形成する工程は、電着法を用いる。

【0019】

また、本発明は請求項 8 に記載されるように、請求項 1 乃至 7 の何れかに記載の半導体パッケージの製造方法において、前記半導体ウェハの表面に絶縁層を形成する工程は、前記半導体ウェハの表面に無機系の絶縁層を形成し、更に前記無機系の絶縁層の表面に有機系の絶縁層を形成する。

【0020】

また、本発明は請求項 9 に記載されるように、請求項 1 乃至 8 の何れかに記載の半導体パッケージの製造方法において、前記半導体ウェハの表面に絶縁層を形成する工程の後に、前記絶縁層の表面にバリア層を形成する工程を備える。

【0021】

本発明によれば、半導体ウェハが薄膜化された後に、当該半導体ウェハにスルーホールが形成され、更に当該スルーホールの内部に貫通電極となる導電体が形成されており、従来のように貫通電極の形成後に半導体ウェハを薄膜化する工程ではないため、薄膜化の際に半導体ウェハの表面に貫通電極の材料である導電体の残渣が付着し、貫通電極間がショートしてしまうことが防止される。

【0022】

また、本発明によれば、半導体ウェハが薄膜化された後に、当該半導体ウェハの表面に絶縁層が形成されるため、従来のように、薄膜化の後に半導体ウェハの下面に絶縁層を形成させる必要がなく、容易に、半導体ウェハの下面側に貫通電極を露出させることができる。

【0023】

また、導電層にテープ状の部材を用いることにより、当該導電層の除去を容易に行うことが可能となる。更に、半導体ウェハにスルーホールを形成する際に、エッチング法を用いることにより、機械的なドリル等によりスルーホールを形成する場合よりも、薄膜化された半導体ウェハの割れを抑制することができる。また、半導体ウェハの表面に絶縁層を形成する際に、電着法を用いることにより、熱に弱い有機系の材料を絶縁層に採用することが可能となる。更には、半導体ウェハの表面に無機系の絶縁層が形成される場合には、当該無機系の絶縁層の表面に有機系の絶縁層が形成されるようにすることで、絶縁の確実性を向上させることが可能になる。また、絶縁層の表面にバリア層が形成される場合には、隣接

する導電体間でショートが発生することが防止される。

【0024】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を説明する。図10乃至図15は、本発明の実施形態に係る半導体パッケージの製造工程のうち、第1の工程乃至第7の工程を示す断面図である。

【0025】

図10に示す第1の工程では、ガラス板等の支持体300の上面に接着層310を介してシリコンウェハ110が装着される。なお、シリコンウェハ110には半導体回路が形成されていても良い。図11に示す第2の工程では、シリコンウェハ110が薄膜加工される。シリコンウェハ110の薄膜加工においては、例えば、当該シリコンウェハ110の上面が砥石等により研磨され、次に、仕上げとして研磨剤を含有した布等でシリコンウェハ110の下面が研磨される。薄膜加工後のシリコンウェハ110は、例えば100 μ m程度の厚さを有する。

【0026】

図12に示す第3の工程では、薄膜加工後のシリコンウェハ110の上面に、孔122を有するレジスト120が形成される。この孔122は、シリコンウェハ110における後述するスルーホール112の形成領域の上部に形成される。孔122は、例えば以下のようにして形成される。即ち、まず、フィルム状のレジスト120が熱圧着により、シリコンウェハ110の上面に貼付される。次に、レジスト120の上方にマスク（図示せず）が配置され、露光及び現像が行われ、レジスト120のうち、スルーホール112の形成領域の上部が除去されて、孔122が形成される。

【0027】

図13に示す第4の工程では、エッチング法（ドライエッチング法又はウェットエッチング法）により、シリコンウェハ110のうち、レジスト120の孔122によって露出している部分にスルーホール（貫通孔）112が形成される。スルーホール112は、例えば15 μ m程度の直径を有する。

【0028】

なお、図 11 に示す第 2 の工程の後、シリコンウェハ 110 の上面にレジスト 120 を形成することなく、レーザ加工や機械的なドリルによりスルーホール 112 を形成するようにしても良い。但し、シリコンウェハ 110 は、薄膜加工されており、割れやすいため、スルーホール 112 の形成には、衝撃を与えないエッチング法が採用されることが望ましい。

【0029】

図 14 に示す第 5 の工程では、シリコンウェハ 110 の上面に形成されていたレジスト 120 が除去される。更に、図 15 に示す第 6 の工程では、シリコンウェハ 110 が支持体 300 から剥離される。

【0030】

図 16 に示す第 7 の工程では、シリコンウェハ 110 の表面（スルーホール 112 の内壁部を含む）に絶縁層 130 が形成される。絶縁層 130 が有機系の材料である場合には、当該絶縁層 130 の形成には、電着法が採用される。

【0031】

図 17 は、電着法による絶縁層 130 の形成の概要を示す図である。同図に示すように、電着法では、電解槽 400 内に、溶剤に有機系樹脂をコロイド状に分散させたもの（以下、「電着溶液」と称する）450 が用意され、更に、この電着溶液 450 にシリコンウェハ 110 が浸漬される。そして、電解槽 400 とシリコンウェハ 110 とがそれぞれ電極となり、電源 460 によって、これら電解槽 400 とシリコンウェハ 110 との間に所定の電界がかけられる。電界がかけられると、コロイド状の有機系樹脂（例えばエポキシ系樹脂）が電気泳動によって移動し、この有機系樹脂によってシリコンウェハ 110 の表面が被膜され、絶縁層 130 が形成される。なお、電着法の場合、絶縁層の厚さは、電解槽 400 とシリコンウェハ 110 との間にかけられる電界の大きさと、時間とに比例する。従って、電界の大きさと時間とが適宜調整されることによって、所望の厚さを有する絶縁層 130 の形成が可能となる。

【0032】

一方、絶縁層 130 が無機系の材料である場合には、上述した電着法の他に、熱酸化法や CVD 法を採用することができる。熱酸化法や CVD 法が採用される

場合には、シリコンウェハ 110 の表面が酸化されて SiO_2 の層が形成されたり、 SiN の層が形成されて絶縁層 130 となる。

【0033】

第 8 の工程以降については、第 1 実施例乃至第 3 実施例に分けて説明する。

【0034】

(第 1 実施例)

第 1 実施例では、図 18 に示す第 8 の工程において、シリコンウェハ 110 の下面側に膜状の導電層 140 が形成される。この膜状の導電層 140 は、シリコンウェハ 110 の下面に電着法により形成された絶縁層 130 が加熱処理により硬化する前に、当該絶縁層 130 に圧着される。このように、膜状の導電層 140 が絶縁層 130 に圧着されることにより形成される場合には、CVD 法やスパッタ法のように高価な装置を用いることなく、簡易に導電層 140 を形成することが可能となる。

【0035】

なお、導電層 140 は、シリコンウェハ 110 を保持する役割を果たすとともに、後述するめっき処理において必要となるシード層（給電層）としての役割も果たす。更には、導電層 140 のうち、スルーホール 112 の下部の部分は、後述する貫通電極 160 の下部を構成する。導電層 140 の材料としては、銅、チタンとタングステンとの合金、アルミニウム、チタンナイトライド等の金属板や金属箔が用いられる。

【0036】

図 19 に示す第 9 の工程では、めっき処理により、スルーホール 112 によって露出している導電層 140 の上部に導電体 150 が成長し、スルーホール 112 の内部が導電体 150 で満たされる。更に、導電体 150 の一部がシリコンウェハ 110 の上面から突出する。なお、めっき処理の際には、電解めっき法又は無電解めっき法が採用される。また、導電体 150 の材料は、導電層 140 の材料に対応するものが用いられる。例えば、導電層 140 が銅である場合には、導電体 150 にも銅が用いられ、導電層 140 を給電層とした電解銅めっきにより、導電体 150 が形成される。

【0037】

図20に示す第10の工程では、パターンニングにより、導電層140のうち、導電体150の下部及びその近傍以外の導電層142のみが残され、他の部分が除去される。このような工程を経て、導電体150及び導電層142によってシリコンウェハ110を上面から下面へ貫く貫通電極160が形成される。この貫通電極160は、半導体チップ（図示せず）と実装基板（図示せず）との間に介在し、上部が半導体チップと電氣的に接続され、下部が実装基板と電氣的に接続される。なお、エッチングを用いて、導電層140により配線パターンが形成されるようにしても良い。あるいは、導電層142を残さずに、導電層140の全てが除去されるようにしても良い。

【0038】

(第2実施例)

第2実施例では、図21に示す第8の工程において、シリコンウェハ110の下面側に導電性テープ170が貼付される。この導電性テープ170は、例えば、銅箔と、当該銅箔の一方の面に形成されるニッケル粒子が混合された接着剤からなる接着層によって構成される。接着剤にニッケル粒子が混合されているため、導電性テープ170は、一方の面と他方の面との間が通電可能に構成されている。

【0039】

なお、導電性テープ170は、第1実施例における導電層140と同様、シリコンウェハ110を保持する役割を果たすとともに、後述するめっき処理において必要となるシード層（給電層）としての役割も果たす。

【0040】

図22に示す第9の工程では、めっき処理により、スルーホール112によって露出している導電性テープの上部に導電体150が成長し、スルーホール112の内部が導電体150で満たされる。更に、導電体150の一部がシリコンウェハ110の上面から突出する。なお、めっき処理の際には、電解めっき法又は無電解めっき法が採用される。また、導電体150の材料は、導電層140の材料に対応するものが用いられる。例えば、導電層140が銅である場合には、導

電体 150 にも銅が用いられ、導電層 140 を給電層とした電解銅めっきにより、導電体 150 が形成される。

【0041】

図 23 に示す第 10 の工程では、導電性テープ 170 が剥離され、導電体 150 によってシリコンウェハ 110 を上面から下面へ貫く貫通電極が形成される。なお、シリコンウェハ 110 の下面から貫通電極を突出させる必要がある場合には、次の工程において、シリコンウェハ 110 の下面側に露出している導電体 150 の下部に電極が形成される。

【0042】

(第 3 実施例)

第 3 実施例では、図 24 に示す第 8 の工程において、ガラス板等の支持体 320 の上面にシリコンウェハ 110 が配置される。更に、シリコンウェハ 110 は、周囲がテープ 330 で仮止めされることにより、支持体 320 に装着される。

【0043】

図 25 に示す第 9 の工程では、シリコンウェハ 110 の上面に形成された絶縁層 130 のうち、露出している面の上に、めっき処理において必要となるシード層（給電層）180 が形成される。例えば、シード層 180 は、スパッタや無電解めっきによりクロム層を形成し、更に銅層を形成することにより、形成される。あるいは、シード層 180 は、スパッタや無電解めっきによりチタン層を形成し、更に銅層を形成することにより、形成される。

【0044】

図 26 に示す第 10 の工程では、めっき処理により、シード層 180 の上面に導電体 190 が形成される。なお、めっき処理の際には、第 1 及び第 2 実施例と同様、電解めっき法又は無電解めっき法が採用される。

【0045】

図 27 に示す第 11 の工程では、パターニングにより、導電体 190 のうち、スルーホール 112 の内部及びその近傍以外の導電体 192 のみが残され、他の部分が除去されるとともに、シード層 180 のうち、スルーホール 112 の内部及びその近傍以外のシード層 182 のみが残され、他の部分が除去されるととも

に、このような工程を経て、導電体 192 及びシード層 182 によってシリコンウェハ 110 を上面から下面へ貫く貫通電極 200 が形成される。その後、シリコンウェハ 110 がテープ 330 及び支持体 320 から剥離される。なお、シリコンウェハ 110 の下面から貫通電極を突出させる必要がある場合には、次の工程において、当該シリコンウェハ 110 の下面側に露出しているシード層 182 の下部に電極が形成される。

【0046】

このように、本実施形態では、半導体パッケージの製造工程において、シリコンウェハ 110 が薄膜化された後に、当該シリコンウェハ 110 にスルーホール 112 が形成され、更に当該スルーホール 112 の内部に貫通電極となる導電体（第 1 及び第 2 実施例では導電体 150、第 3 実施例では導電体 192）が形成されており、従来のように貫通電極の形成後に半導体ウェハを薄膜化する工程は採用されていない。このため、シリコンウェハ 110 の薄膜化の際に当該シリコンウェハ 110 の表面に貫通電極の材料である導電体 150、192 の残渣が付着し、貫通電極間がショートしてしまうことが防止される。

【0047】

また、本実施形態では、シリコンウェハ 110 が薄膜化された後に、当該シリコンウェハ 110 の表面に絶縁層 130 が形成されるため、従来のように、薄膜化の後に半導体ウェハの下面に絶縁層を形成させる必要がなく、容易に、シリコンウェハ 110 の下面側に貫通電極を露出させることができる。

【0048】

また、第 2 実施例に示すように、導電層として導電性テープ 170 を用いることにより、貫通電極形成後における導電層の除去を容易に行うことが可能となる。更に、シリコンウェハ 110 にスルーホール 112 を形成する際に、エッチング法を用いることにより、機械的なドリル等によりスルーホールを形成する場合よりも、薄膜化されたシリコンウェハ 110 の割れを抑制することができる。また、シリコンウェハ 110 の表面に絶縁層 130 を形成する際に、電着法を用いることにより、熱に弱い有機系の材料を絶縁層 130 に採用することが可能となる。

【0049】

なお、上述した実施形態では、半導体ウェハとしてシリコンウェハ110が用いられる場合について説明したが、熱膨張率が小さく、且つ、微細化が可能であるとの条件が満たされるのであれば、他の半導体ウェハが用いられる場合にも、同様に本発明を適用することができる。

【0050】

なお、図16に示す第7の工程において、熱酸化法やCVD法により無機系の絶縁層130が形成される場合、図28に示すように、当該無機系の絶縁層130の表面に、電着法により有機系の絶縁層132が形成されるようにしても良い。この場合には、無機系の絶縁層130のみが形成される場合と比較して、絶縁の確実性を向上させることが可能になる。

【0051】

また、図16に示す第7の工程において、図29に示すように、絶縁層130の表面にバリア層134が形成されるようにしても良い。あるいは、図18に示す第1実施例における第8の工程や、図21に示す第2実施例における第8の工程において、図30に示すように、絶縁層130の表面にバリア層134が形成されるようにしても良い。

【0052】

これらのバリア層134は、例えば、チタン、チタンナイトライド、チタンとタングステンの合金等の被膜により形成される。導電体150、192に銅が用いられる場合、一般に銅は、シリコンや酸化シリコン中において、原子レベルで高速に移動する。特に、半導体製造工程のように、数百℃/hr程度の高温放置下では、銅が酸化シリコン中に拡散し、隣接する導電体150、192間でショートが発生する場合がある。上述したバリア層134が形成される場合には、このようなショートが防止される。なお、第3実施例では、図25に示すシード層180がチタンにより形成される場合、そのシード層180をバリア層として用いることができる。

【0053】

また、上述した実施形態では、導電体150、192は、シリコンウェハ11

0の上面から突出するように形成されているが、導電体150、192の上面とシリコンウェハ110の上面とが同一面上となるように形成されても良い。

【0054】

また、上述した実施形態では、単一の半導体パッケージに着目し、その製造工程を説明したが、シリコンウェハ110に、上述した製造工程によって複数の半導体パッケージを形成し、その後、シリコンウェハ110をダイシングすることにより個々の半導体パッケージが得られるようにしても良い。

【0055】

【発明の効果】

本発明によれば、半導体パッケージにおける貫通電極の形成を適切に行うことが可能となる。

【図面の簡単な説明】

【図1】

従来の半導体パッケージ製造の第1の工程を示す断面図である。

【図2】

従来の半導体パッケージ製造の第2の工程を示す断面図である。

【図3】

従来の半導体パッケージ製造の第3の工程を示す断面図である。

【図4】

従来の半導体パッケージ製造の第4の工程を示す断面図である。

【図5】

従来の半導体パッケージ製造の第5の工程を示す断面図である。

【図6】

従来の半導体パッケージ製造の第6の工程を示す断面図である。

【図7】

従来の半導体パッケージ製造の第7の工程を示す断面図である。

【図8】

従来の半導体パッケージ製造の第8の工程を示す断面図である。

【図9】

従来の半導体パッケージ製造の第 8 の工程を示す断面図である。

【図 10】

本実施形態の半導体パッケージ製造の第 1 の工程を示す断面図である。

【図 11】

本実施形態の半導体パッケージ製造の第 2 の工程を示す断面図である。

【図 12】

本実施形態の半導体パッケージ製造の第 3 の工程を示す断面図である。

【図 13】

本実施形態の半導体パッケージ製造の第 4 の工程を示す断面図である。

【図 14】

本実施形態の半導体パッケージ製造の第 5 の工程を示す断面図である。

【図 15】

本実施形態の半導体パッケージ製造の第 6 の工程を示す断面図である。

【図 16】

本実施形態の半導体パッケージ製造の第 7 の工程を示す断面図である。

【図 17】

本実施形態の電着法の概要を示す図である。

【図 18】

第 1 実施例の半導体パッケージ製造の第 8 の工程を示す断面図である。

【図 19】

第 1 実施例の半導体パッケージ製造の第 9 の工程を示す断面図である。

【図 20】

第 1 実施例の半導体パッケージ製造の第 10 の工程を示す断面図である。

【図 21】

第 2 実施例の半導体パッケージ製造の第 8 の工程を示す断面図である。

【図 22】

第 2 実施例の半導体パッケージ製造の第 9 の工程を示す断面図である。

【図 23】

第 2 実施例の半導体パッケージ製造の第 10 の工程を示す断面図である。

【図 2 4】

第 3 実施例の半導体パッケージ製造の第 8 の工程を示す断面図である。

【図 2 5】

第 3 実施例の半導体パッケージ製造の第 9 の工程を示す断面図である。

【図 2 6】

第 3 実施例の半導体パッケージ製造の第 1 0 の工程を示す断面図である。

【図 2 7】

第 3 実施例の半導体パッケージ製造の第 1 1 の工程を示す断面図である。

【図 2 8】

本実施形態の半導体パッケージ製造の第 7 の工程の他の例を示す断面図である。

。

【図 2 9】

第 1 実施例の半導体パッケージ製造の第 8 の工程の他の例を示す断面図である。

。

【図 3 0】

第 2 実施例の半導体パッケージ製造の第 8 の工程の他の例を示す断面図である。

。

【符号の説明】

1 1 0 シリコンウェハ

1 1 2 スルーホール

1 2 0 レジスト

1 2 2 孔

1 3 0 絶縁層

1 4 0、1 4 2 導電層

1 5 0、1 9 0、1 9 2 導電体

1 6 0、2 0 0 貫通電極

1 7 0 導電性テープ

1 8 0、1 8 2 シード層

3 0 0、3 2 0 支持体

3 1 0 接着層

3 3 0 テープ

4 0 0 電解槽

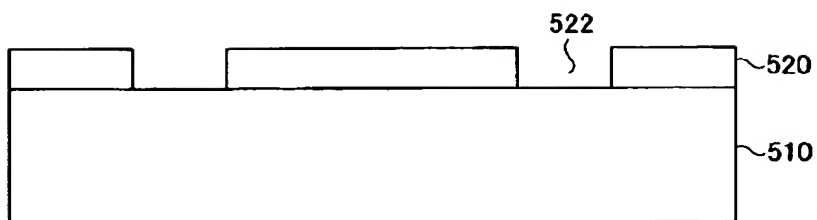
4 5 0 電着溶液

4 6 0 電源

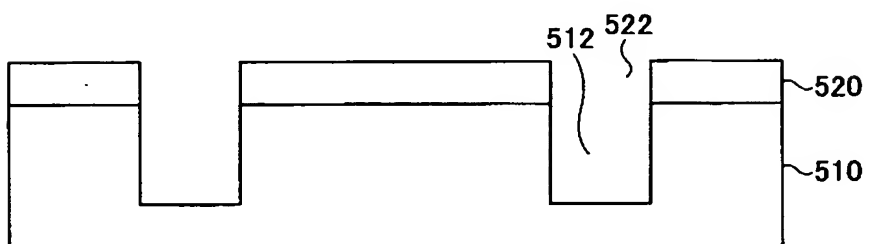
【書類名】

図面

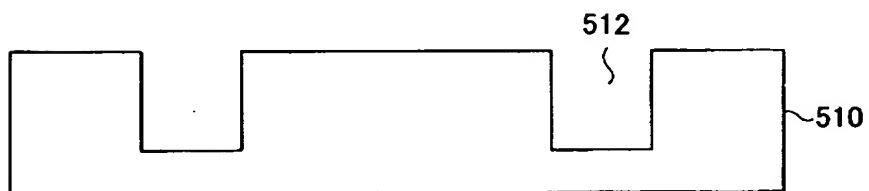
【図 1】



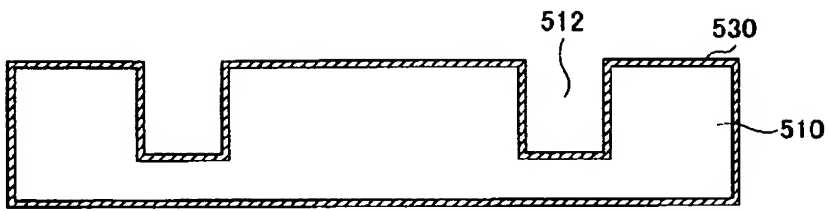
【図 2】



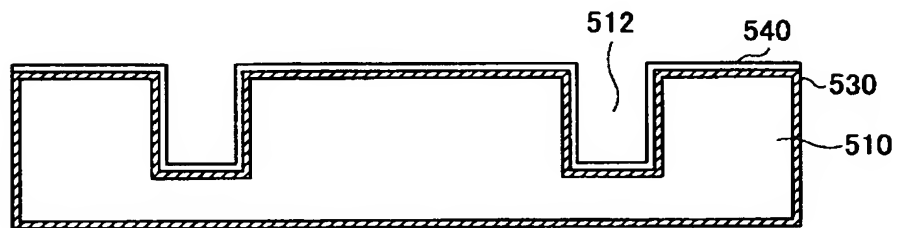
【図 3】



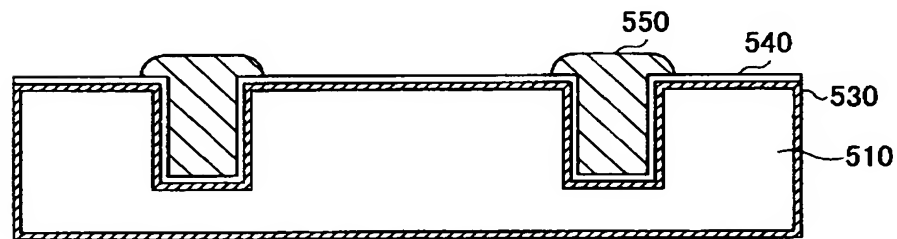
【図 4】



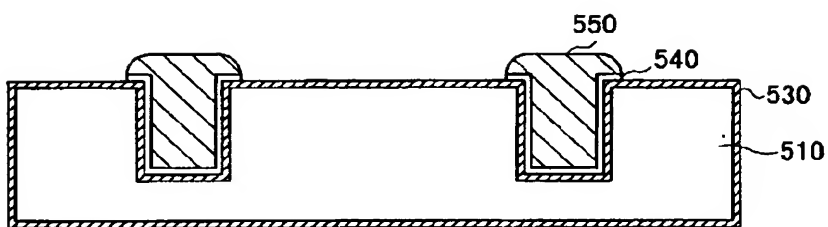
【図 5】



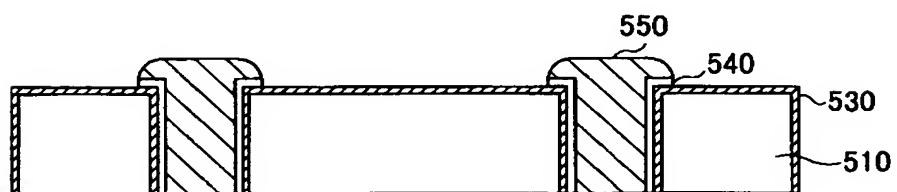
【図 6】



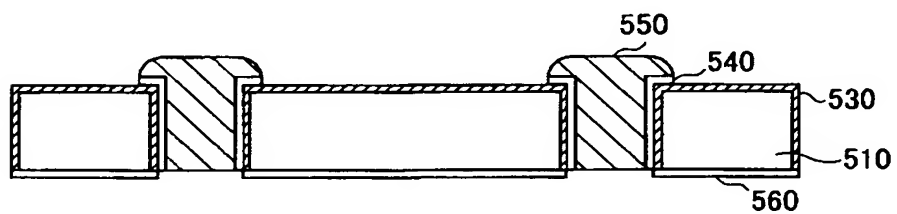
【図 7】



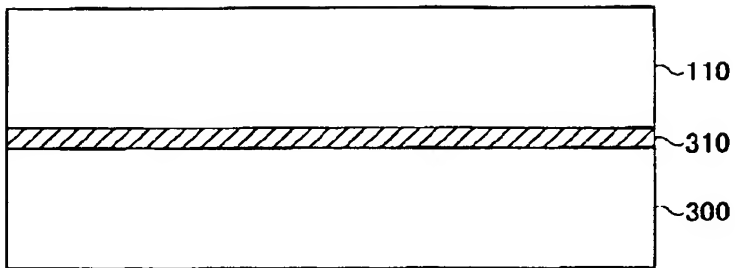
【図 8】



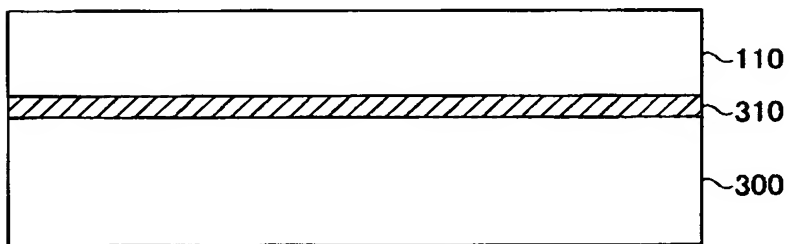
【図 9】



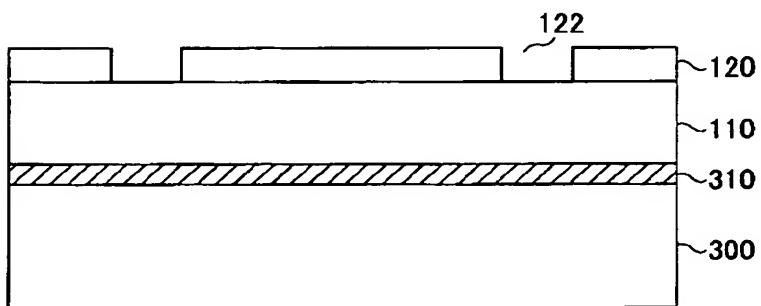
【図 10】



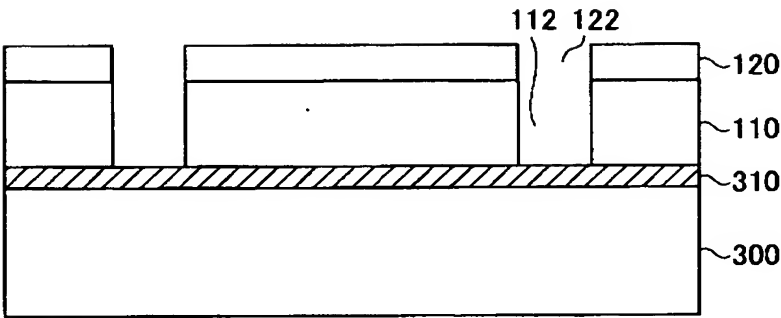
【図 11】



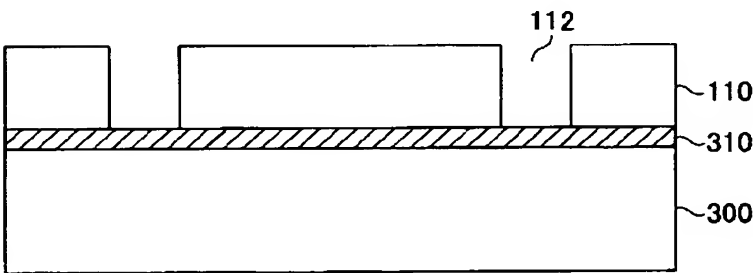
【図 12】



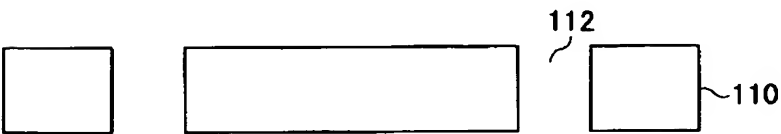
【図 1 3】



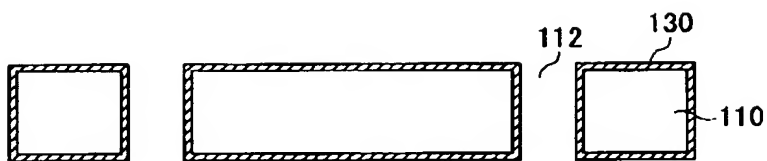
【図 1 4】



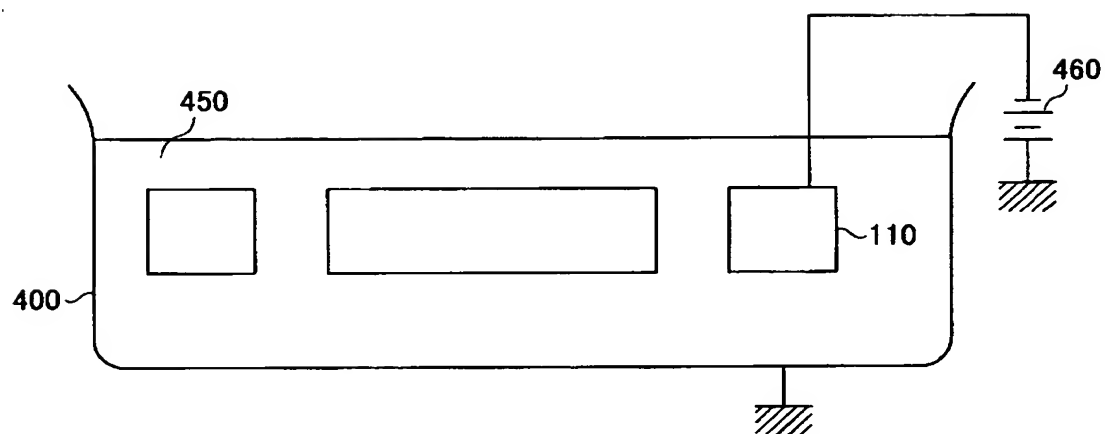
【図 1 5】



【図 16】



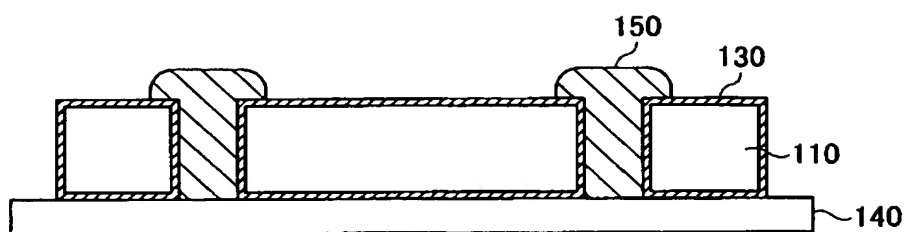
【図 17】



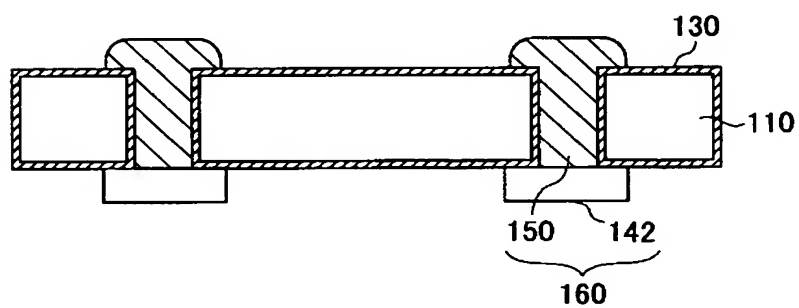
【図 18】



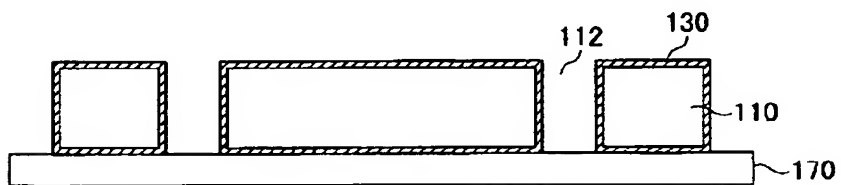
【図 19】



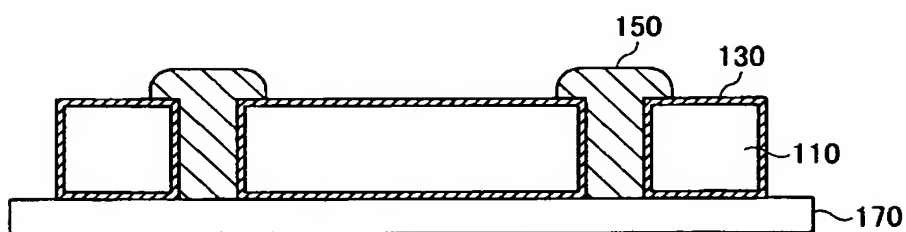
【図 20】



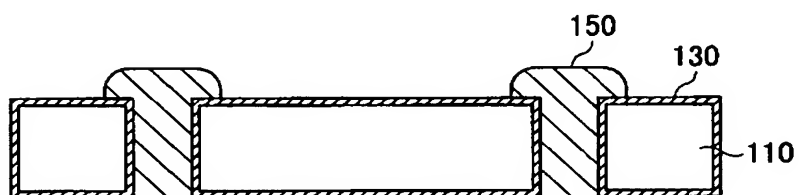
【図 21】



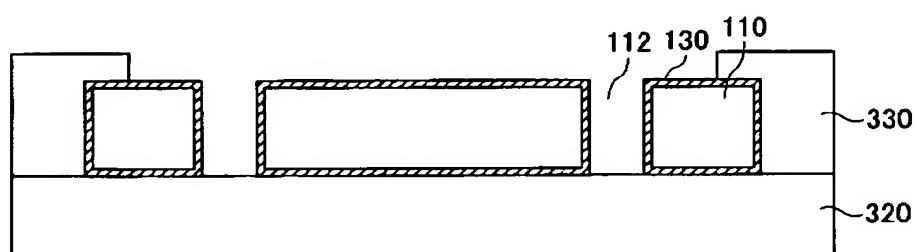
【図 2 2】



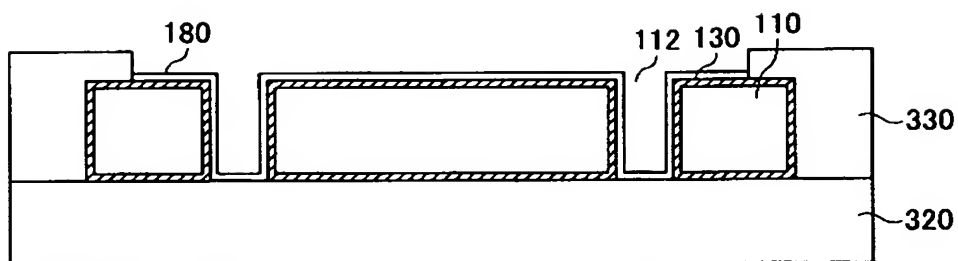
【図 2 3】



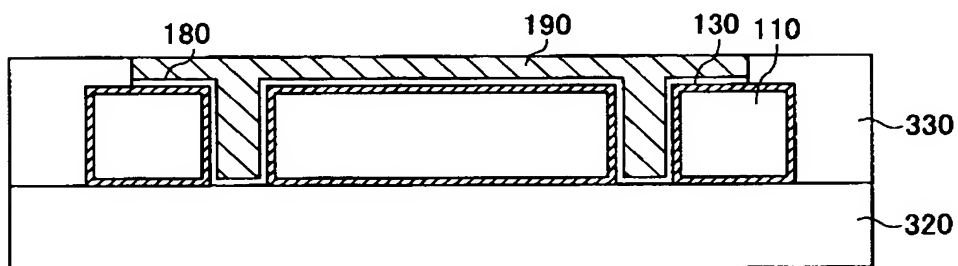
【図 2 4】



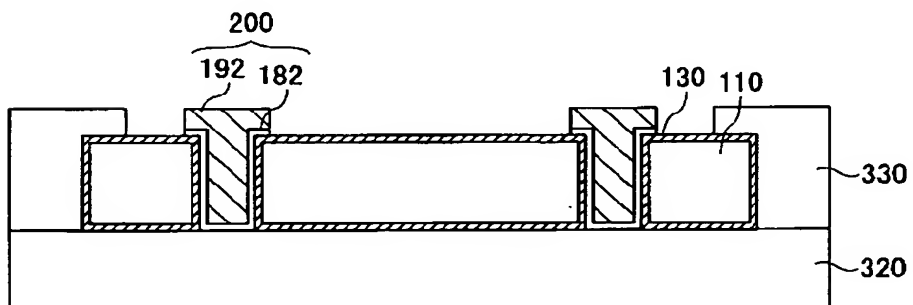
【図 2 5】



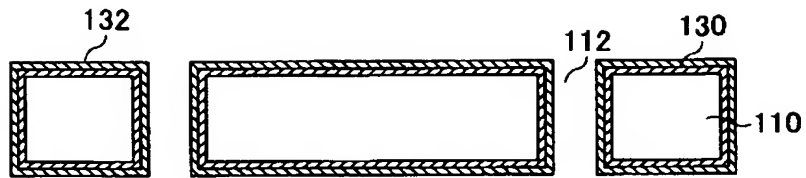
【図 2 6】



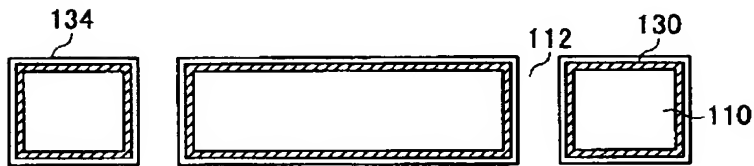
【図 2 7】



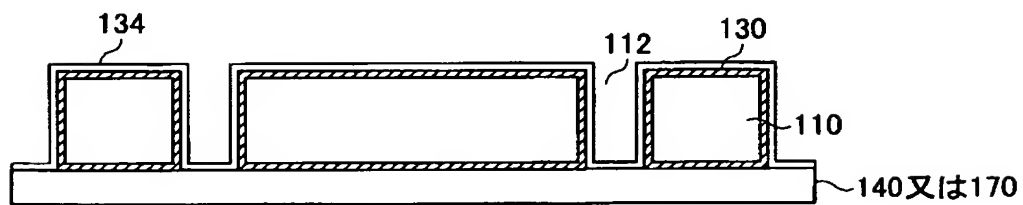
【図 28】



【図 29】



【図 30】



【書類名】 要約書

【要約】

【課題】 貫通電極の形成を適切に行うことが可能な半導体パッケージの製造方法を提供する。

【解決手段】 シリコンウェハ 1 1 0 が薄膜化された後に、当該シリコンウェハ 1 1 0 にスルーホール 1 1 2 が形成され、更に当該スルーホール 1 1 2 の内部に貫通電極となる導電体 1 5 0 が形成される。また、シリコンウェハ 1 1 0 が薄膜化された後に、当該シリコンウェハ 1 1 0 の表面に絶縁層 1 3 0 が形成される。

【選択図】 図 2 0

特願 2 0 0 3 - 1 7 4 4 7 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 9 0 6 8 8]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 長野県長野市大字栗田字舎利田 7 1 1 番地
氏 名 新光電気工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 住所変更
住 所 長野県長野市小島田町 8 0 番地
氏 名 新光電気工業株式会社